

1. Datos Generales de la asignatura

Nombre de la asignatura:	Circuitos Integrados en FPGA.
Clave de la asignatura:	SSI-2501
SATCA¹:	3 – 2 – 5
Carrera:	Ingeniería Mecatrónica.

2. Presentación

Caracterización de la asignatura

En la era de la computación de alto rendimiento, los sistemas embebidos y el Internet de las Cosas (IoT), el diseño eficiente de circuitos integrados se ha convertido en un pilar fundamental para la innovación tecnológica. Las FPGA (Field-Programmable Gate Arrays) emergen como una solución versátil y reconfigurable, permitiendo la implementación de sistemas digitales complejos con ventajas únicas: flexibilidad, paralelismo masivo y reducción de tiempos de desarrollo frente a ASICs (Application-Specific Integrated Circuits).

Esta asignatura, "Circuitos Integrados en FPGA" está basada en Verilog, se diseñó para proporcionar a los estudiantes las competencias necesarias para dominar el flujo completo de diseño digital, desde la especificación de un sistema hasta su implementación física en hardware reconfigurable. Utilizando el lenguaje Verilog (IEEE 1364), estándar industrial ampliamente adoptado, los participantes aprenderán a modelar, simular, sintetizar y optimizar circuitos digitales, integrando principios teóricos con herramientas profesionales del ecosistema EDA (Electronic Design Automation).

El avance de tecnologías como la inteligencia artificial, las comunicaciones 5G y los sistemas autónomos demanda profesionales capaces de explotar el potencial de las FPGA. A diferencia del diseño software, el diseño HDL (Hardware Description Language) requiere un paradigma distinto:

Pensamiento concurrente: Modelado de operaciones paralelas y sincronización de señales. Compromisos costo-rendimiento: Uso eficiente de recursos lógicos (LUTs, flip-flops), enrutado de señales y gestión de relojes. Verificación rigurosa: Garantía de funcionalidad mediante testbenches y técnicas de coverage.

Esta asignatura no solo cubre los fundamentos de Verilog, sino que también aborda desafíos reales como la optimización de potencia, la interfaz con periféricos

Intención didáctica

Esta asignatura busca que el estudiante desarrolle competencias en el diseño, modelado, simulación e implementación de sistemas digitales en FPGA utilizando el estándar Verilog, aplicando metodologías de diseño estructurado y verificable. Se enfoca en la transición desde conceptos teóricos hasta prototipos funcionales en hardware, abordando desde circuitos básicos hasta sistemas complejos con protocolos de comunicación industriales.

El primer tema tiene como objetivo que el estudiante se familiarice con la sintaxis, estructura y flujo de diseño en Verilog. Como estrategias teóricas se explican módulos, operadores, tipos de datos (wire, reg) y estructuras de control (if, case). Implementando circuitos sencillos (puertas lógicas, sumadores) usando simuladores (Vivado/ModelSim), e interactuando en FPGA Quartus/Xilinx.

También desarrolla circuitos Combinacionales y Secuenciales; tales como Diseño de multiplexores, decodificadores y ALUs mediante assign y always @(*). Uso de always @(posedge clk) para flip-flops, registros y contadores.

En el segundo tema se desea que el alumno domine el modelado de comportamientos secuenciales complejos. Como estrategia metodológica teórica se explican estados, transiciones y salidas en FSMs. Diferencias entre Moore y Mealy. Realizando implementación de un controlador de semáforo o una interfaz de teclado. Visualización de estados en simuladores y uso de \$display, \$monitor así como otros para implementación de testbench.

El alumno diferencia Máquina Moore vs. Máquina Mealy a través del análisis de casos donde cada tipo es más eficiente (ej: Mealy para respuestas rápidas, Moore para sistemas sincronizados), comparando recursos utilizados en la FPGA en términos de área y velocidad.

En el tercer tema profundiza en técnicas para sistemas de alto rendimiento. Con enfoque Blocking vs. Nonblocking, con demostración a través de ejemplos de registros y condiciones de carrera.

Diseña Pipelining: Optimización de rutas críticas en operaciones aritméticas, implementando un multiplicador pipeline y análisis de throughput vs. latencia. Modelado de Latches: Identificación y prevención de inferencia inadvertida. Datapath Paralelo: Implementación de operaciones SIMD (Single Instruction Multiple Data).

En el cuarto tema se integran sistemas digitales con interfaces estándar. Con metodología teórica se aborda la explicación de tramas, velocidades y modos de operación de cada protocolo. Implementación de transceptores UART/SPI en FPGA y comunicación con periféricos (memorias, sensores). Realizando pruebas con osciloscopio lógico en Protocolos Cubiertos.

UART: Configuración de baud rate, detección de start/stop bits.

SPI/I2C: Manejo de relojes (SCLK) y direccionamiento de esclavos.

CANBus/LXI: Introducción a protocolos industriales (opcional, según nivel del grupo).

3. Participantes en el diseño y seguimiento curricular del programa

Lugar y fecha de elaboración o revisión	Participantes	Observaciones
Instituto Tecnológico de Tepic. Tepic, Nayarit. Marzo a Mayo del 2025.	Miembros de la Academia de Ingeniería Mecatrónica del Instituto Tecnológico de Tepic.	Jornada 2025 de Diseño Curricular para elaboración del Módulo de Especialidad por Competencias de la Carrera de Ingeniería Mecatrónica.

4. Competencia(s) a desarrollar

Competencia(s) específica(s) de la asignatura
Diseñar Circuitos Integrados con estándar IEEE 1364 HDL (Hardware Description Language) en Verilog.

5. Competencias previas

El alumno debe: - Dominio de los fundamentos de electrónica digital. - Familiaridad con los elementos de la arquitectura básica de computadores. - Experiencia en diversas técnicas de programación estructurada, y orientada a objetos. - Dominio del Álgebra booleana, matemáticas discretas y técnicas de simplificación para funciones booleanas. - Se sugiere la adopción y uso de algunos softwares especializados EDA (Electronic Design Automation).

6. Temario

No.	Temas	Subtemas
1	Introducción al estándar al estándar IEEE-1364 (HDL-Verilog).	1.1 Circuitos Combinacionales. 1.2 Circuitos Secuenciales. 1.3 Testbenches.

2	Máquina de Estados Finitos en Verilog.	2.1 Máquina de Moore. 2.2 Máquina de Mealy. 2.3 Testbenches.
3	Diseño de Sistemas Secuenciales en Verilog.	3.1 Blocking and nonblocking. 3.2 Modeling Latches and FlipFlops. 3.3 Parallel computing. 3.4 Pipelining. 3.5 Parallel Datapath.
4	Protocolos de Comunicación.	4.1 UART, SPI, I2C, CANbus. 4.2 LAN eXtensions for instrumentation (LXi / GPIB / VME). 4.3 Testbenches avanzados.

7. Actividades de aprendizaje de los temas

Nombre de tema:

1.- Introducción al estándar Verilog.

Competencias	Actividades de aprendizaje
Específica(s): - El estudiante describe circuitos combinacionales y secuenciales sencillos utilizando sintaxis de Verilog, diferenciando entre asignaciones continuas y bloques procedurales. - El estudiante ejecutará testbenches básicos en entornos de simulación para verificar el comportamiento de sus diseños, interpretando los resultados de formas de onda y mensajes de error. Genérica(s): - Capacidad de abstracción, análisis y síntesis. - Capacidad de aplicar los conocimientos en la práctica. - Capacidad para organizar y planificar el tiempo. - Capacidad de comunicación oral y escrita Habilidades en el uso de las tecnologías de la información y de la comunicación. - Capacidad para identificar, plantear y resolver problemas. - Capacidad de trabajo en equipo. Habilidades para buscar, procesar y analizar información procedente de fuentes diversas Habilidad para trabajar en forma autónoma.	- Investigar sobre el funcionamiento de sensores y transmisores. - Implementar un sumador combinacional de 4 bits usando assign y compararlo con una versión procedural en always. - Relacionar las características comerciales de sensores y transmisores de diferentes marcas, analizando los manuales de fabricantes. - Crear un testbench para simular un multiplexor 4:1 y verificar su funcionamiento con diferentes combinaciones de entradas.

Nombre de tema

2.- Máquina de Estados Finitos en Verilog.

Competencias	Actividades de aprendizaje
Específica(s): - El estudiante modela máquinas (Moore y Mealy) en Verilog, definiendo claramente estados, transiciones y salidas, utilizando bloques always y estructuras case para garantizar un funcionamiento sincronizado y libre de condiciones de carrera. - Analizar y optimizar FSM's en términos de recursos de FPGA (LUTs, flip-flops) y velocidad de operación, implementa testbenches para validar. Genérica(s): - Capacidad de análisis y síntesis. Habilidades de gestión de información (habilidad para buscar y analizar información proveniente de fuentes diversas). - Capacidad de trabajar en equipo interdisciplinario. - Capacidad de comunicarse con profesionales de otras áreas. Compromiso ético. - Habilidades de investigación. Capacidad de adaptarse a nuevas situaciones. Habilidad para trabajar en forma autónoma.	- Diseñar una FSM tipo Moore para un semáforo inteligente con temporizadores configurables. - Interpretar y analizar los rasgos más importantes de los componentes básicos para el diseño de FSM (Moore y Mealy). - Implementar la misma lógica para un semáforo inteligente con temporizadores configurables con máquina Mealy y comparar recursos utilizados y complejidad del diseño. - Participar en plenarias grupales para retroalimentar y aclarar dudas.

Nombre del tema

3.- Diseño de Sistemas Secuenciales en Verilog.

Competencias	Actividades de aprendizaje
Específica(s): - El estudiante diseña sistemas secuenciales de alto rendimiento aplicando técnicas de procesamiento paralelo y pipelining en Verilog, optimizando el throughput y la latencia en operaciones como multiplicadores o filtros digitales. - El estudiante podrá aplicar correctamente las asignaciones blocking (=) y non-blocking (<=) en descripciones RTL, evitando condiciones de carrera y garantizando un comportamiento predecible en sistemas secuenciales síncronos. Genéricas: - Capacidad de abstracción, análisis y síntesis. - Capacidad de aplicar los conocimientos en la práctica, identificar, plantear y resolver. - Habilidades de investigación. Capacidad de adaptarse a nuevas situaciones. Habilidad para trabajar en forma autónoma.	- Investigar los conceptos fundamentales, objetivos, usos y aplicaciones del blocking, y el nonblocking. - Identificar los modelos de RTL para esquemáticos como multiplicadores en sistemas secuenciales a través de una investigación y elaborar una tabla comparativa que incluya su definición y representación de datos. - Desarrollar un multiplicador pipeline de 8 bits y analizar su mejora de throughput vs. un diseño combinatorio. - Describir el modeling latches, pipeline, parallel datapath con base en el diagrama de arquitectura, analizarlo y discutirlo en grupo.

Nombre del tema

4.- Protocolos de Comunicación.

Competencias	Actividades de aprendizaje
Específica(s): - Identificar, analizar, interconectar dispositivos de control a través de la configuración de protocolos de redes industriales. - Diferenciar Fortalezas y Debilidades de los protocolos de redes frecuentemente usados. Genéricas: - Habilidades de gestión de información (habilidad para buscar y analizar información proveniente de fuentes diversas). - Toma de decisiones, para la solución de problemas. - Capacidad de aplicar los conocimientos en la práctica. - Capacidad de adaptarse a nuevas situaciones, generando nuevas ideas (creatividad). - Habilidad para trabajar en forma autónoma, con capacidad para diseñar y gestionar proyectos.	- Realizar prácticas implementando los componentes básicos (sensores, actuadores, interfaces, software, etc.) de las redes de un sistema mínimo funcional. - Realizar prácticas de conectividad con software (simuladores). Así como conectividad UART, SPI, I2C. - Describir las características y aplicaciones de las redes industriales: Ethernet, Profibus, DeviceNet, ASI, CAN OPEN.

8. Práctica(s)

- Implementación de circuitos sencillos (puertas lógicas, sumadores) en simuladores (Vivado/ModelSim). - Implementación de un controlador de semáforo o una interfaz de teclado. - Diseño de un multiplicador pipeline y análisis de throughput vs. latencia. - Modelado de Latches: Identificación y prevención de inferencia inadvertida. - Datapath Paralelo: Implementación de operaciones SIMD (Single Instruction Multiple
--

Data).

- Implementación de transceptores UART/SPI en FPGA y comunicación con periféricos (memorias, sensores).
- UART: Configuración de baud rate, detección de start/stop bits.
- SPI/I2C: Manejo de relojes (SCLK) y direccionamiento de esclavos.
- Contador básico a un sistema con UART + FSM

9. Proyecto de asignatura

Fomentar el desarrollo de un sistema bajo el estándar Verilog a partir de la aplicación de estrategias de diseño en Circuitos Integrados, en la elección y conocimiento de tecnología FPGA, para una propuesta de solución a las problemáticas, industrial o implementando la IoT.

Exponer formalmente en plenaria el proyecto final a través de una comunicación efectiva con al menos la persona, empresa o comunidad social beneficiada y comunidad estudiantil.

Para el desarrollo del proyecto se consideran las siguientes fases:

- **Fundamentación:** marco referencial (teórico, conceptual, contextual, legal) en el cual se fundamenta el proyecto de acuerdo con un diagnóstico realizado, mismo que permite a los estudiantes lograr la comprensión de la realidad o situación objeto de estudio para definir un proceso de intervención o hacer el diseño de un modelo.
- **Planeación:** con base en el diagnóstico en esta fase se realiza el diseño del proyecto por parte de los estudiantes con asesoría del docente; implica planificar un proceso: de intervención empresarial, social o comunitaria, el diseño de un modelo, entre otros, según el tipo de proyecto, las actividades a realizar los recursos requeridos y el cronograma de trabajo.
- **Ejecución:** consiste en el desarrollo de la planeación del proyecto realizada por parte de los estudiantes con asesoría del docente, es decir en la intervención (social, empresarial), o construcción del modelo propuesto según el tipo de proyecto, es la fase de mayor duración que implica el desempeño de las competencias genéricas y específicas a desarrollar.
- **Evaluación:** es la fase final que aplica un juicio de valor en el contexto laboral-profesional, social e investigativo, ésta se debe realizar a través del reconocimiento de logros y aspectos a mejorar se estará promoviendo el concepto de “evaluación para la mejora continua”, la metacognición, el desarrollo del pensamiento crítico y reflexivo en los estudiantes.

10. Evaluación por competencias

Son las técnicas, instrumentos y herramientas sugeridas para constatar los desempeños académicos de las actividades de aprendizaje. La evaluación debe ser continua y formativa por lo que se debe considerar el desempeño en cada una de las actividades de aprendizaje:

- **Reportes de las investigaciones solicitadas.**
- **Examen para comprobar el manejo de aspectos teóricos y declarativos.**
- **Reportes de prácticas**
- **Trabajo en equipo.**
- **Proyecto de asignatura.**

11. Fuentes de información

1. Peter Minns, Ian Elliott. FSM-based Digital Design using Verilog HDL. John Wiley & Sons. 2008.
2. M Morris Mano, Michael D. Ciletti. Digital Design with an introduction to the Verilog HDL. Pearson Fifth Edition. 2013.
3. IEEE Std 1364-2005. IEEE Standard for Verilog, Hardware Description Language.
4. IEEE Std 1800-2017. IEEE Standard for SystemVerilog-Unified Hardware Design, Specification, and Verification Language.
5. Charles H. Roth, Lizy Kurian John. Digital System Design, Using VHDL, second edition .Thomson 2008.
6. Thomas L. Floyd. Fundamentos de Sistemas Digitales. Pearson Prentice Hall, novena edición, 2006.
7. Pong P. Chu. FPGA Prototyping by Verilog examples, Xilins Spartan. John Wiley & Sons. 2008
8. Cem Ünsalan, Bora Tar. Digital System Design with FPGA implementation using Verilog and VHDL. McGraw Hill 2017.
9. David Money Harris, Sarah L. Harris. Digital Design and Computer Architecture. Elsevier, second edition 2013.
10. Intel Quartus Prime Standard Edition user guides - combined. April 2025.
11. M. Morris Mano. Diseño Digital. Pearson Prentices Hall, tercera edición 2003.
12. Samir Palnitkar. Verilog HDL: A guide to digital design and synthesis. Prentices Hall 2003.
13. J. Bhasker. Verilog HDL Synthesis a practical primer. Lucent Technologies 1998.